

#6

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:)

BAHOUT)

Serial No. Not Yet Assigned)

Filing Date: Herewith)

For: METHOD AND DEVICE FOR)
SEQUENTIAL READOUT OF A)
MEMORY WITH ADDRESS JUMP)

I HEREBY CERTIFY THIS PAPER OR FEE IS DEPOSITED WITH THE U.S. POSTAL SERVICE "EXPRESS MAIL POST OFFICE TO ADDRESS SERVICE UNDER 37 CFR 1.10 ON THE DATE INDICATED BELOW AND IS ADDRESSED TO BOX PATENT APPLICATIONS, ASSISTANT COMMISSIONER FOR PATENTS, WASHINGTON, D.C. 20231.

EXPRESS MAIL NO: EL747059966US

DATE OF DEPOSIT: February 22, 2002

NAME: Dawn Kimler

SIGNATURE: *Dawn Kimler*



TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Director, U.S. Patent and Trademark Office
Washington, D.C. 20231

Sir:

Transmitted herewith is a certified copy of the
priority French Application No. 0102501.

Respectfully submitted,

Michael W. Taylor
MICHAEL W. TAYLOR
Reg. No. 43,182
Allen, Dyer, Doppelt, Milbrath
& Gilchrist, P.A.
255 S. Orange Avenue, Suite 1401
Post Office Box 3791
Orlando, Florida 32802
Telephone: 407/841-2330
Fax: 407/841-2343
Attorney for Applicant

THIS PAGE BLANK (USPTO)



BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le **06 FEV. 2002**

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

THIS PAGE BLANK (USPTO)



26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

BREVET D'INVENTION CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI





REQUÊTE EN DÉLIVRANCE 1/2

Cet imprimé est à remplir lisiblement à l'encre noire

08 540 W / 260899

REMISE DE PIÈCE DATE 23 FEV 2001 LIEU 75 INPI PARIS		Réservé à l'INPI	
N° D'ENREGISTREMENT 0102501 NATIONAL ATTRIBUÉ PAR L'INPI DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI 23 FEV. 2001		1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE Cabinet BALLOT 7, rue Le Sueur 75116 PARIS	
Vos références pour ce dossier (facultatif) 016000 PB/SM			
Confirmation d'un dépôt par télécopie <input type="checkbox"/> N° attribué par l'INPI à la télécopie			
2 NATURE DE LA DEMANDE		Cochez l'une des 4 cases suivantes	
Demande de brevet		<input checked="" type="checkbox"/>	
Demande de certificat d'utilité		<input type="checkbox"/>	
Demande divisionnaire		<input type="checkbox"/>	
Demande de brevet initiale ou demande de certificat d'utilité initiale		N°	Date <input type="text"/>
		N°	Date <input type="text"/>
Transformation d'une demande de brevet européen		<input type="checkbox"/>	Date <input type="text"/>
3 TITRE DE L'INVENTION (200 caractères ou espaces maximum) PROCEDE ET DISPOSITIF DE LECTURE SEQUENTIELLE D'UNE MEMOIRE AVEC SAUT D'ADRESSE.			
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation Date <input type="text"/> N° Pays ou organisation Date <input type="text"/> N° Pays ou organisation Date <input type="text"/> N° <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»	
5 DEMANDEUR		<input type="checkbox"/> S'il y a d'autres demandeurs, cochez la case et utilisez l'imprimé «Suite»	
Nom ou dénomination sociale		STMICROELECTRONICS SA	
Prénoms			
Forme juridique		Société anonyme	
N° SIREN		3 . 4 . 1 . 4 . 5 . 9 . 3 . 8 . 6	
Code APE-NAF		3 . 2 . 1 . B	
Adresse	Rue	7, avenue Galliéni	
	Code postal et ville	94250	GENTILLY
Pays		FRANCE	
Nationalité		FRANCAISE	
N° de téléphone (facultatif)			
N° de télécopie (facultatif)			
Adresse électronique (facultatif)			

REMISE DES PÊCHES DATE 23 FEV 2001 LIEU 75 INPI PARIS		Réservé à l'INPI	
N° D'ENREGISTREMENT NATIONAL ATTRIBUÉ PAR L'INPI		0102501	
Vos références pour ce dossier : <i>(facultatif)</i>		016000 PB/SM	
6 MANDATAIRE			
Nom		BALLOT	
Prénom		Paul	
Cabinet ou Société		CABINET BALLOT	
N° de pouvoir permanent et/ou de lien contractuel			
Adresse	Rue	7, rue Le Sueur	
	Code postal et ville	75116	PARIS
N° de téléphone <i>(facultatif)</i>		01 40 67 11 99	
N° de télécopie <i>(facultatif)</i>		01 45 01 98 28	
Adresse électronique <i>(facultatif)</i>			
7 INVENTEUR (S)			
Les inventeurs sont les demandeurs		<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non Dans ce cas fournir une désignation d'inventeur(s) séparée	
8 RAPPORT DE RECHERCHE		Uniquement pour une demande de brevet (y compris division et transformation)	
Établissement immédiat ou établissement différé		<input checked="" type="checkbox"/> <input type="checkbox"/>	
Paiement échelonné de la redevance		Paiement en trois versements, uniquement pour les personnes physiques <input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non	
9 RÉDUCTION DU TAUX DES REDEVANCES		Uniquement pour les personnes physiques <input type="checkbox"/> Requête pour la première fois pour cette invention <i>(joindre un avis de non-imposition)</i> <input type="checkbox"/> Requête antérieurement à ce dépôt <i>(joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence):</i>	
Si vous avez utilisé l'imprimé «Suite», indiquez le nombre de pages jointes			
10 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE (Nom et qualité du signataire) Paris, le 22 février 2001 BALLOT Paul - 92-1009		VISA DE LA PRÉFECTURE OU DE L'INPI  	

**PROCEDE ET DISPOSITIF DE LECTURE SEQUENTIELLE
D'UNE MEMOIRE AVEC SAUT D'ADRESSE**

L'invention concerne les mémoires à accès série et à lecture séquentielle et, plus particulièrement dans de telles mémoires, un procédé et un dispositif pour réaliser un saut d'adresse.

5 Un dispositif de lecture séquentielle d'une mémoire selon l'art antérieur sera décrit en relation avec le schéma fonctionnel de la figure 1. Une mémoire 10, qui comprend des cellules de mémoire et des circuits d'adressage de ses cellules, est lue séquentiellement
10 d'une adresse à la suivante grâce à un compteur 12 dont la valeur, correspondant à l'adresse de la cellule en cours de lecture, est incrémentée d'une unité à chaque apparition d'un signal INC.

L'adresse de début du comptage est donnée par un
15 registre à décalage 14 qui contient, outre l'adresse de début dans une partie 16, le code de l'instruction dans une partie 18.

Le registre à décalage 14 est chargé par un microcontrôleur 20 extérieur à la mémoire 10 au rythme
20 d'impulsions d'horloge CK qui sont appliquées au registre à décalage 14 et à une porte logique ET 22.

Un détecteur de débordement 24 du registre à décalage 14 fournit un signal d'ouverture de la porte 22 dès que les décalages successifs aboutissent à commencer à
25 vider le contenu du registre. Par suite de cette ouverture, les impulsions d'horloge CK sont appliquées à un circuit diviseur 26 par N, N étant le nombre de bits d'un mot contenu à une adresse de la mémoire, par exemple $N = 8$, ou 16 ou 24.

30 Le contenu du compteur 12 est donc incrémenté d'une unité chaque fois que le diviseur a compté N impulsions d'horloge CK et sélectionne ainsi l'adresse suivante.

Les chiffres binaires d'un mot à l'adresse sélectionnée par le compteur 12 sont lus l'un après l'autre et sont enregistrés dans un registre à décalage de sortie 28 au rythme des signaux d'horloge CK. Ils sont ensuite
5 transmis au microcontrôleur 20.

La description ci-dessus montre que la mémoire 10 est lue séquentiellement ligne après ligne par suite de l'incrémentation du compteur 12 par le signal INC apparaissant tous les N signaux d'horloge CK, chaque
10 signal d'horloge correspondant à la lecture d'un chiffre du mot binaire contenu à l'adresse Ad donnée par le compteur 12.

Lorsque la lecture doit être réalisée avec un saut à une nouvelle adresse, le microcontrôleur doit envoyer
15 un nouveau message qui contient une instruction de saut et une nouvelle adresse. Il est donc nécessaire au microcontrôleur 20 d'envoyer un message complet, ce qui prend du temps et diminue la vitesse moyenne des opérations d'un programme, ceci d'autant plus que le
20 programme comprend de nombreux sauts d'adresse.

Aussi, le but de l'invention est de mettre en oeuvre un procédé et de réaliser un dispositif de lecture séquentielle d'une mémoire dans lesquels les sauts d'adresse sont très rapides.

Ce but est atteint en transmettant à la mémoire, non pas un message complet mais un signal de commande, c'est-à-dire sans adresse, ce signal de commande étant interprété par la mémoire comme indiquant que la nouvelle adresse à utiliser est la valeur du mot
25 contenu à l'adresse suivante.

L'invention concerne un procédé de lecture séquentielle d'une mémoire mettant en oeuvre un compteur d'adresse incrémental, caractérisé en ce que un saut d'adresse comprend les étapes suivantes consistant à :

35 (a) détecter un signal de saut d'adresse,

- (b) incrémenter le compteur d'adresse incrémental,
- (c) lire le contenu de la mémoire à l'adresse incrémentée,
- (d) transférer le contenu lu à l'adresse incrémentée
5 dans le compteur d'adresse incrémental, et
- (e) lire le contenu de la mémoire à l'adresse contenue dans le compteur d'adresse incrémental.

L'opération (a) peut consister à décoder un code d'instruction de saut.

10 L'incréméntation du compteur d'adresse 12 peut être d'une unité ou plus.

L'invention concerne également un dispositif de lecture séquentielle d'une mémoire comprenant un registre d'entrée contenant un code d'instruction et un code
15 d'adresse de la mémoire, un compteur d'adresse incrémental de la mémoire qui reçoit le code d'adresse du registre d'entrée, un registre de sortie de la mémoire qui enregistre les signaux lus à l'adresse indiquée par le compteur d'adresse incrémental,

20 caractérisé en ce qu'il comprend, en outre,
- un circuit de détection d'une instruction de saut d'adresse pour fournir un signal d'incréméntation du compteur d'adresse incrémental, et
- des moyens pour transférer le contenu lu à
25 l'adresse incrémentée dans le compteur d'adresse incrémental.

D'autres caractéristiques et avantages de la présentation apparaîtront à la lecture de la description suivante d'un exemple particulier de
30 réalisation, ladite description étant faite en relation avec les dessins joints dans lesquels :

- la figure 1 est un schéma simplifié d'un dispositif de lecture séquentielle d'une mémoire selon l'art antérieur,

- la figure 2 est un schéma simplifié d'un dispositif de lecture séquentielle d'une mémoire selon la présente invention.

Le schéma de la figure 1 correspond à un dispositif de l'art antérieur qui a été décrit dans le préambule des présentes. Le schéma de la figure 2, correspondant à l'invention, reprend les éléments du schéma de la figure 1 qui portent la même référence mais d'autres éléments de manière à réaliser le dispositif selon l'invention.

Ces éléments communs aux deux dispositifs de lecture séquentielle ne seront pas décrits à nouveau.

Les éléments qui sont ajoutés sont :

- un circuit décodeur d'instruction de saut 30 dont les bornes d'entrée sont connectées aux bornes de sortie du registre à décalage 14 correspondant au code d'instruction et qui fournit sur ses trois bornes de sortie 30₁, 30₂ et 30₃ trois signaux décalés dans le temps correspondant au décodage du saut d'adresse,
- un premier signal dit d'incrémentement d'adresse sur la borne 30₁ qui est appliqué sur une des deux bornes d'entrée d'une porte logique OU 36 dont l'autre borne d'entrée est connectée à la borne de sortie du circuit diviseur 26,
- un deuxième signal dit de transfert sur la borne 30₂ qui est appliqué à une borne d'entrée d'une porte électronique 34 dont les autres bornes d'entrée sont connectées aux bornes de sortie parallèles du registre à décalage de sortie 28,
- un troisième signal dit de multiplexage sur la borne 30₃ qui est appliqué à une borne d'entrée de commande d'un circuit multiplexeur d'adresse 32,
- le circuit multiplexeur d'adresse 32 dont la borne d'entrée de commande est connectée à la borne de sortie 30₃ du circuit décodeur 30 et qui aiguille

vers le compteur d'adresse 12 soit l'adresse contenue dans le registre à décalage 14, soit une adresse lue dans la mémoire.

Le fonctionnement du dispositif selon l'invention est alors le suivant :

- en lecture séquentielle, le fonctionnement est celui du dispositif de l'art antérieur,
- en cas de saut d'adresse, les éléments ajoutés conduisent au fonctionnement suivant :

10 Le décodage de l'instruction par le circuit décodeur 30 fournit un premier signal d'incrémentation sur la borne de sortie 30₁ qui, via la porte logique 36, incrémente d'une unité le compteur 12 de sorte que l'adresse suivante ($Ad + 1$) de la mémoire est
15 sélectionnée.

Lorsque le mot à l'adresse suivante est enregistré dans le registre de décalage de sortie, il est transféré vers le multiplexeur 32 via la porte électronique 34 qui est ouverte par le signal de
20 transfert sur la borne de sortie 30₂ du circuit décodeur 30.

Ce mot transféré, qui correspond à l'adresse suivante du programme, est enregistré dans le compteur 12 via le circuit multiplexeur 32 commandé par le signal de
25 multiplexage fourni sur la borne de sortie 30₃ du circuit décodeur 30.

La lecture séquentielle peut alors recommencer à partir de cette nouvelle adresse ou il peut y avoir un autre saut d'adresse initié par un décodage d'une
30 nouvelle instruction de saut d'adresse.

L'invention peut être mise en oeuvre, non pas à l'aide d'une instruction de saut d'adresse qui est décodée comme indiqué ci-dessus, ce qui prend au moins le temps de transfert des chiffres du code
35 d'instruction, mais par un signal particulier fourni

par le microcontrôleur 20 et qui est appliqué directement aux circuits 32, 34 et 36 avec des retards appropriés.

R E V E N D I C A T I O N S

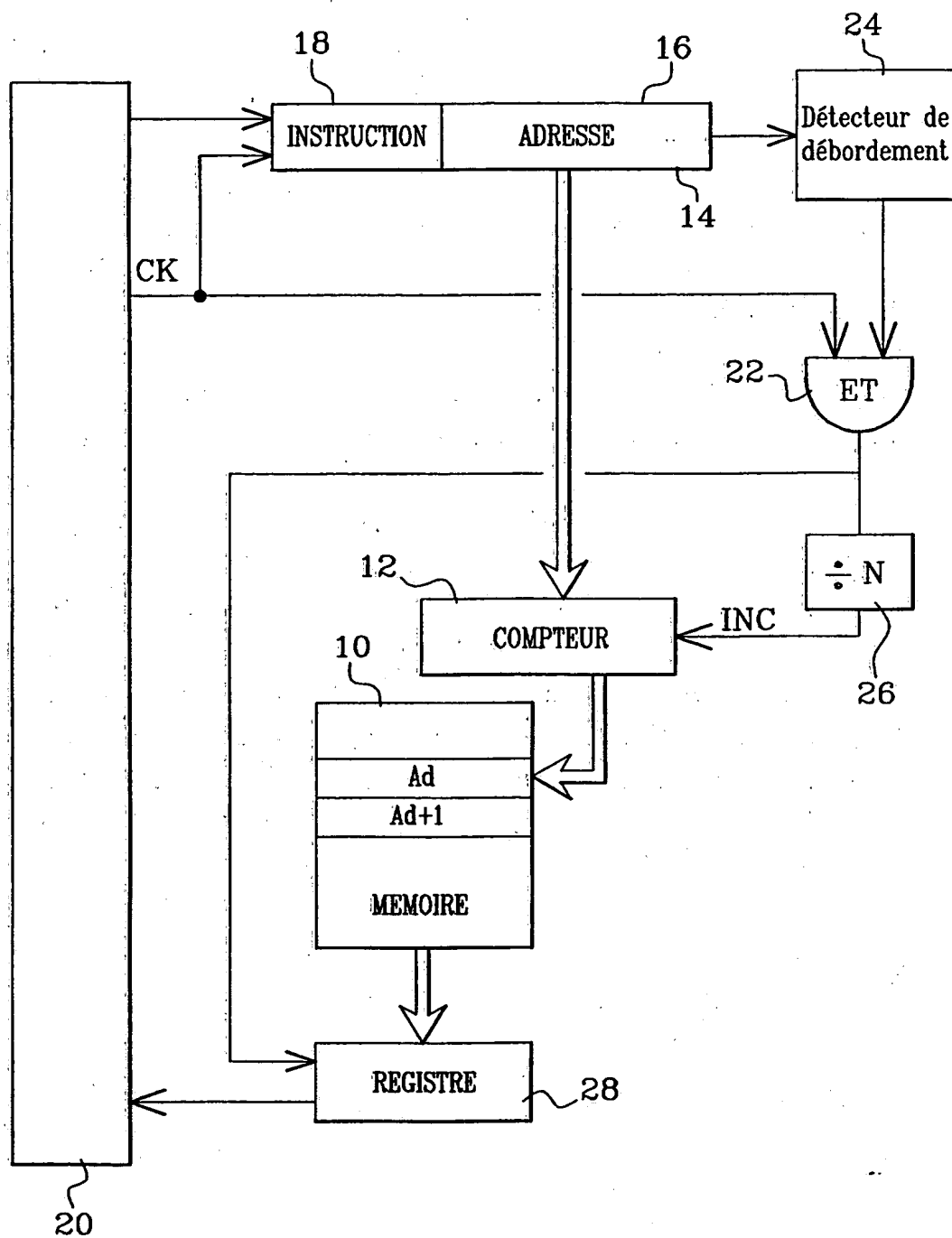
1. Procédé de lecture séquentielle d'une mémoire (10) mettant en oeuvre un compteur d'adresse incrémental (12), caractérisé en ce qu'un saut d'adresse comprend les étapes suivantes consistant à :
 - 5 (a) détecter un signal de saut d'adresse,
 - (b) incrémenter le compteur d'adresse incrémental (12),
 - (c) lire le contenu (28) de la mémoire (10) à l'adresse incrémentée,
 - 10 (d) transférer (34, 32) le contenu lu à l'adresse incrémentée dans le compteur d'adresse incrémental (12), et
 - (e) lire le contenu (28) de la mémoire (10) à l'adresse contenue dans le compteur d'adresse
 - 15 incrémental (12).
2. Procédé selon la revendication 1, caractérisé en ce que l'étape (a) consiste à décoder un code d'instruction.
- 20 3. Procédé selon la revendication 1 ou 2, caractérisé en ce que l'étape (b) consiste à incrémenter d'au moins une unité le compteur d'adresse incrémental.
- 25 4. Dispositif de lecture séquentielle d'une mémoire (10) comprenant un registre d'entrée (14) contenant un code d'instruction et un code d'adresse de la mémoire (10), un compteur d'adresse incrémental de la mémoire (10) qui reçoit le code d'adresse du registre d'entrée
- 30 (14), un registre de sortie (28) de la mémoire (10) qui enregistre les signaux lus à l'adresse indiquée par le compteur d'adresse incrémental (12), caractérisé en ce qu'il comprend, en outre,

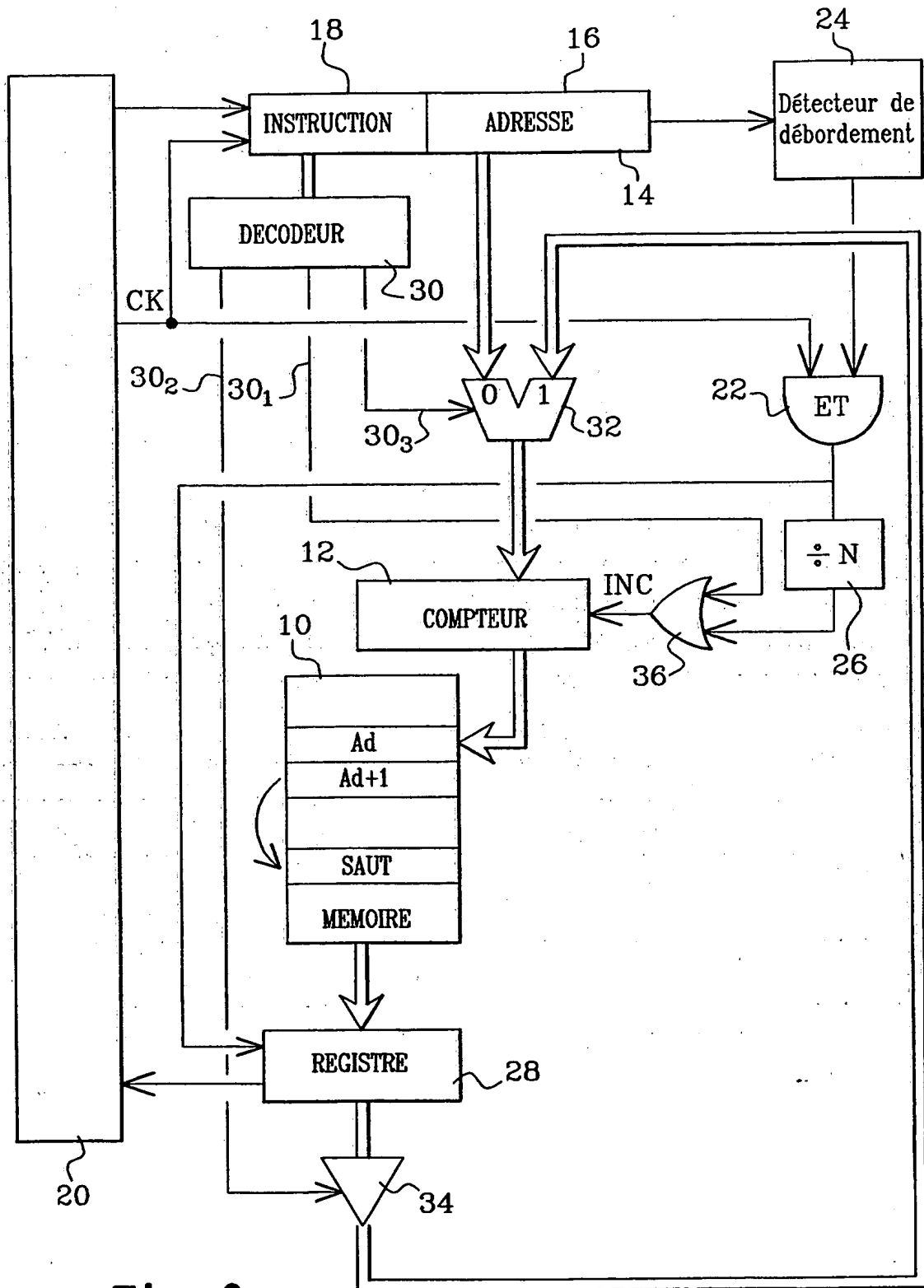
- un circuit de détection (30) d'une instruction de saut d'adresse pour fournir un signal d'incrémentation du compteur d'adresse incrémental (12), et
- des moyens (34, 32) pour transférer le contenu lu à l'adresse incrémentée dans le compteur d'adresse incrémental (12).

5. Dispositif selon la revendication 4, caractérisé en ce que le circuit de détection d'une instruction de saut d'adresse est un circuit décodeur.

6. Dispositif selon la revendication 4 ou 5, caractérisé en ce que les moyens pour transférer le contenu lu à l'adresse incrémentée dans le compteur d'adresse incrémental comprennent :

- une porte logique (34) pour transférer en parallèle le contenu du registre de sortie (28) correspondant au contenu à l'adresse incrémentée, et
- un circuit multiplexeur (32) pour aiguiller vers le compteur d'adresse incrémental (12) soit le code d'adresse contenu dans le registre d'entrée (14), soit le code d'adresse contenu à l'adresse incrémentée.

**Fig. 1**

**Fig. 2**



BREVET D'INVENTION

CERTIFICAT D'UTILITÉ

Code de la propriété Intellectuelle - Livre VI



DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08

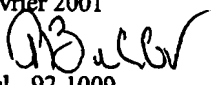
Téléphone : 01 53 04 53 04 Télécopie : 01 42 93 59 30

DÉSIGNATION D'INVENTEUR(S) Page N° 1. / 1..

(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

08 113 W / 260899

Vos références pour ce dossier (facultatif)		016000 PB/SM	
N° D'ENREGISTREMENT NATIONAL		0.102501	
TITRE DE L'INVENTION (200 caractères ou espaces maximum) PROCEDE ET DISPOSITIF DE LECTURE SEQUENTIELLE D'UNE MEMOIRE AVEC SAUT D'ADRESSE.			
LE(S) DEMANDEUR(S) : STMICROELECTRONICS SA 7, avenue Gallieni 94250 GENTILLY FRANCE			
DESIGNE(NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite «Page N° 1/1» S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).			
Nom		BAHOUT	
Prénoms		Yvon	
Adresse	Rue	C/O Cabinet BALLOT 7, rue Le Sueur	
	Code postal et ville	75116	PARIS
Société d'appartenance (facultatif)			
Nom			
Prénoms			
Adresse	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
Nom			
Prénoms			
Adresse	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
DATE ET SIGNATURE(S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire) Paris, le 22 février 2001  BALLOT Paul - 92-1009			

THIS PAGE BLANK (USPTO)